

jc872-u.s. pto  
09/935796



08/24/01

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請 日：西元 2000 年 12 月 15 日  
Application Date

申請 案 號：089126820  
Application No.

申請 人：財團法人工業技術研究院  
Applicant(s)

局 長  
Director General

陳 明 邦

發文日期：西元 2000 年 12 月 29 日  
Issue Date

發文字號：08911018593  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

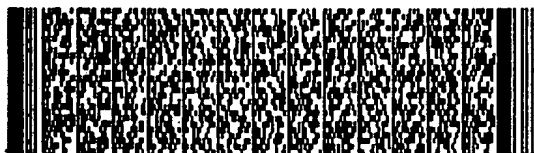
一、 發明名稱	中 文	避免因探針接觸而破壞之鐸墊構造
	英 文	
二、 發明人	姓 名 (中文)	1. 柯明道 2. 張智毅 3. 姜信欽
	姓 名 (英文)	1. Ming-Dou Ker 2. Chyh-Yih Chang 3. Hsin-Chin Jiang
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市寶山路200巷3號4F-3 2. 台北縣新莊市中和街125巷20號9F 3. 台北市信安街10號6樓
三、 申請人	姓 名 (名稱) (中文)	1. 財團法人工業技術研究院
	姓 名 (名稱) (英文)	1. Industrial Technology Research Institute
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣竹東鎮中興路四段195號
	代表人 姓 名 (中文)	1. 林信義
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：避免因探針接觸而破壞之鐸墊構造)

一種避免因探針接觸而破壞之鐸墊設計，應用於積體電路產品上，至少包括：主鐸墊與副鐸墊。其中主鐸墊與副鐸墊相互連接。主鐸墊係用以積體電路封裝接線用；副鐸墊係用以積體電路晶片測試用。因此，可以避免主鐸墊在IC功能測試之後因測試探針穿刺受損的情形，進而提高積體電路在封裝接線時的可靠度。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

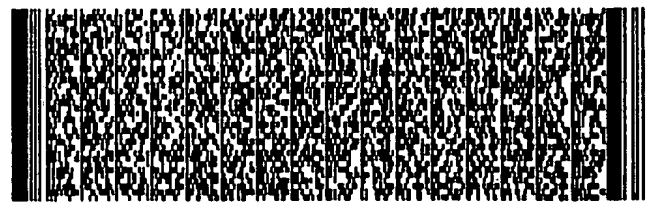
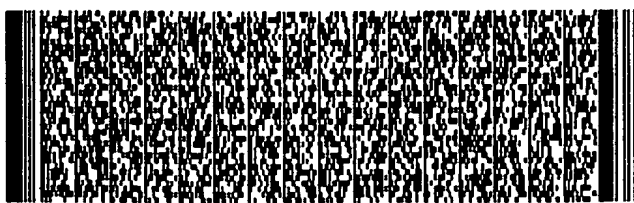
本發明是有關於一種積體電路(Integrated Circuit; IC)或電路板(PCB)之鐳墊(Bonding Pad)構造，且特別是有關於一種避免因探針(Probe)接觸而破壞之鐳墊構造。

傳統上，一個IC產品的基本生產流程包括如第1圖所示之步驟。完成一個IC產品，需先進行電路佈局設計，如步驟101。接著，投入半導體廠進行半導體製程，如步驟102，傳統製程可包括：蝕刻(Etching)、化學機械研磨(CMP)、離子植入(Ion Implantation)、薄膜製程(Thin Film Process)、黃光(Lithography)等步驟。於完成晶圓(wafer)的製作之後，然後進行以探針(Probe)接觸鐳墊測試，如步驟103所示，測試良好的晶粒(die)經切割下來之後再進行接線(Bonding)、及封裝(Package)，如步驟104所示，完成IC封裝。該已封裝之IC最後再經由完整功能測試(final testing)以確認良品IC。

IC中之鐳墊提供IC內部訊號與IC之外部訊號連接管道。基本上，鐳墊是由好幾層藉由各層貫通孔(via)所連接的金屬薄膜所組成。一個良好的鐳墊必須對封裝接線有良好的附著性，長時間對大電流的耐受度以及可靠度。

由於鐳墊相當於IC的門戶，其重要性非同小可，各國國際大廠皆競相提出鐳墊相關專利。美商Micron公司在美國專利案號USP6060378 "Semiconductor bonding pad for better reliability"中提出一種複層(Multi-layer)製程技術，來得到較好的鐳墊可靠度。

另外，於美國專利案號USP5891745 "Test and



## 五、發明說明 (2)

tear-away bond pad design" 的美商Honeywell提出的專利中，提出一種製程來強化鐳墊，使鐳墊禁得起接線、扯斷、再接線的過程。

另外，美商LSI Logic Corporation於美國專利USP5565385 "Semiconductor bond pad structure and increased bond pad count per die" 中另提出利用鐳墊形狀變化來得到較高密度的結構，以嘗試降低鐳墊斷線(Liftoff)問題的產生。

在IC製作過程中，於進行晶片探針測試步驟103時，必須將測試探針插到鐳墊以進行訊號連線，如此可對IC內部電路進行測試。然而，如第2圖所示，這樣的程序通常會傷害到鐳墊本身，使其表面凹凸不平(如箭頭301所標示)，過高的探針針壓甚至導致鐳墊表層金屬產生破洞。已被損傷的鐳墊不利於後續封裝接線之生產過程，而造成良率下降。

有鑑於此，本發明的目的就是在提供一種避免因探針接觸而破壞之鐳墊結構，可以提昇IC或PCB產品的生產良率。

為達到本發明的目的，提出一種鐳墊結構，應用於積體電路產品上，其結構至少包括：主鐳墊與副鐳墊。其中主鐳墊係用以接線用；副鐳墊，與主鐳墊連接，其中副鐳墊係作為探針接觸用。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說



## 五、發明說明 (3)

明如下：

### 較佳實施例

請參照第3A圖，其繪示依照本發明一較佳實施例的一種具有主鐳墊401與副鐳墊402之鐳墊400構造上視圖。本發明之鐳墊設計主要包括：主鐳墊401與副鐳墊402。主鐳墊401與副鐳墊402需相連接，在積體電路上可藉一種與主鐳墊401和副鐳墊402同材料的連接線403作電性連接。主鐳墊401、副鐳墊402與連接線403可於同一製程中完成，以簡化製程，並且與傳統積體電路製程相較並不會多出任何光罩與製程步驟。此例中主鐳墊401係作為實際封裝接線用，第3A圖中顯示出主鐳墊401上有接線(Bonding Wire)404；副鐳墊402上有一探針405作為測試功能。因為主鐳墊401與副鐳墊402分離，所以即使於測試探針405進行功能測試時，探針405因接觸而損壞了副鐳墊402，也不至於影響主鐳墊401的封裝接線功能，同理，此種方式亦可運用於電路板(PCB)之鐳墊構造。

第3B圖顯示依照本發明一較佳實施例的一種鐳墊設計的剖面圖。典型的IC至少具有以下之結構：基底(Substrate)406、主動元件407、多重金屬內連線，包括：金屬層410a、410b、410c、410d、410e，介電層409，以及最上層金屬藉以形成本發明之鐳墊設計。由第3B圖中可清楚得知，依照本發明一較佳實施例之鐳墊設計之副鐳墊402與IC內部電路之主動元件407間相隔很厚的介電層



#### 五、發明說明 (4)

409，在使用探針405以進行晶片探針測試時，即使有損害副鐸墊402，也不會對內部電路有任何之影響。

#### 實施例一

第3A圖與第3B圖繪示的是單一鐸墊之結構圖，而多數個鐸墊之應用與排列可如第4A圖、第4B圖與第4C圖所示，但不限定於此。多數個鐸墊之應用與排列可依照探針測試所用之探針排列方式進行相對應的佈局設計。第4A圖顯示依照本發明一較佳實施例之鐸墊之直線排列型態(Linear Pad)，第4B圖顯示依照本發明一較佳實施例之鐸墊之一種交錯排列型態(Staggered Pad)，第4C圖顯示依照本發明另一較佳實施例之鐸墊之另一種交錯排列型態。

#### 實施例二

隨著系統晶片時代的來臨，晶片功能越趨複雜，所需輸入/輸出鐸墊(I/O pad)急速增加，高接腳數IC(High Pin Count IC)已成為未來的主要潮流。依照本發明一較佳實施例之鐸墊尤適於高接腳數IC的應用。

請參照第5圖，其繪示本發明之鐸墊在高接腳數IC的應用，尤其是在覆晶封裝(flip chip)上的應用。因為高接腳數IC中，有任何一個鐸墊受損，整個晶片將無法完整封裝。而將本發明之鐸墊應用於高接腳數IC時，可以提高良率，節省成本。在第5圖中所示，每一主鐸墊都有一副鐸墊與其相連接。





## 五、發明說明 (5)

### 實施例三

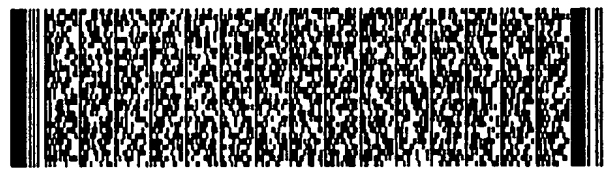
本實施例說明本發明之鐳墊於覆晶封裝(Flip Chip)之應用。請參照第6A圖，其繪示依照本發明一較佳實施例之鐳墊應用於覆晶封裝之上視圖，其中為圖示之清楚起見，只有部分之晶片區域701顯示出來。並請參照第6B圖，其繪示依照本發明一較佳實施例之鐳墊應用於覆晶封裝之剖面圖。

當應用本發明之鐳墊於覆晶封裝上時，錫球(Bump Ball)702需成長在封裝接線用的主鐳墊401上，副鐳墊402上並不一定需成長錫球702。因此，在成長錫球製程之後，進行晶片探針測試時，測試探針405，不會與主鐳墊401上的錫球702接觸，也就完全不會破壞到錫球702。請參照第6B圖，測試探針405在測試過程中可能破壞副鐳墊402的表面，然而主鐳墊401上的錫球702則完整無傷。如此在進行下一步的覆晶黏合封裝時，錫球702表面具有完美的球狀結構，在覆晶黏合封裝時，封裝的可靠度將可確保不會有所改變。若某些特定IC產品，在組裝過程中含有多次不同作用之探針測試或試驗，每一主鐳墊所連接之副鐳墊數目可以酌量增加，不限一個。

### **【發明效果】**

因此，依照本發明之鐳墊設計具有以下之優點：

1. 避免主鐳墊在探針接觸而受損。
2. 進而提高在封裝接線或覆晶黏合時的可靠度。



#### 五、發明說明 (6)

3. 避免鐳墊因為探針測試而受損導致對電流的耐受度及可靠度降低的情形。

4. 可在不增加積體電路製程與封裝流程複雜度的情況下，輕易解決鐳墊在與探針接觸之後受損問題。

綜上所述，雖然本發明由上述較佳實施例揭露，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

圖式之簡單說明：

第1圖繪示傳統IC產品的基本生產流程。

第2圖繪示進行晶片探針(Chip Probing)，測試探針對鐸墊之損害。

第3A圖繪示依照本發明一較佳實施例的一種鐸墊構造的上視圖。

第3B圖顯示依照本發明一較佳實施例的一種鐸墊構造的剖面圖。

第4A圖顯示依照本發明一較佳實施例之鐸墊之直線排列型態。

第4B圖顯示依照本發明一較佳實施例之鐸墊之一種交錯排列型態。

第4C圖顯示依照本發明另一較佳實施例之鐸墊之另一種交錯排列型態。

第5圖繪示本發明之鐸墊在高接腳數IC的應用。

第6A圖繪示依照本發明一較佳實施例之鐸墊應用於覆晶封裝(flip chip)之上視圖。

第6B圖繪示依照本發明一較佳實施例之鐸墊應用於覆晶封裝(flip chip)之剖面圖。

標號說明：

101：電路佈局設計步驟

102：半導體製程

103：晶片探針測試

104：封裝接線(package)



圖式簡單說明

301: 鐳墊受損處

400: 鐳墊

401: 主鐳墊

402: 副鐳墊

403: 連接線

404: 接線

405: 探針

406: 基底(Substrate)

407: 主動元件

410a、410b、410c、410d、410e: 金屬層

409: 介電層

701: 部分之晶片

702: 錫球



## 六、申請專利範圍

1. 一種避免因探針接觸而破壞之鐳墊構造，至少包括：

一主鐳墊；以及

一副鐳墊，與該主鐳墊連接。

2. 如申請專利範圍第1項所述之鐳墊構造，其中該主鐳墊與該副鐳墊間以一連接線相互連接。

3. 如申請專利範圍第1項所述之鐳墊構造，其中該相對應副鐳墊之排列對應於晶片探針測試所用之探針排列。

4. 如申請專利範圍第3項所述之鐳墊構造，其中該主鐳墊與副鐳墊係呈直線排列(Linear Pad)。

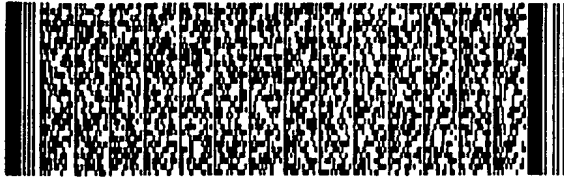
5. 如申請專利範圍第3項所述之鐳墊構造，其中該主鐳墊與副鐳墊係呈交錯排列(Staggered Pad)。

6. 如申請專利範圍第1項所述之鐳墊構造，其中該主鐳墊上有一錫球(Bump Ball)。

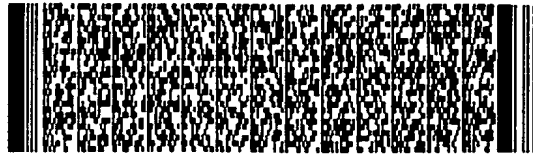
7. 如申請專利範圍第1項所述之鐳墊構造，係應用於一覆晶封裝(Flip Chip)。



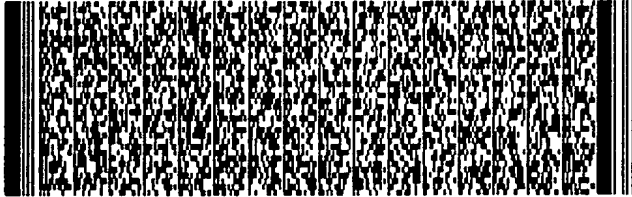
第 1/12 頁



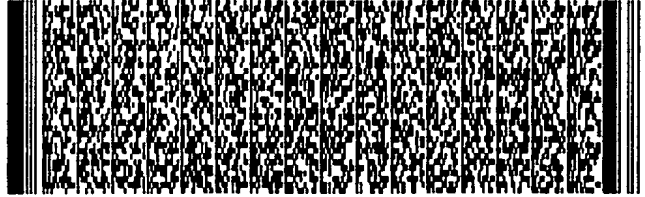
第 2/12 頁



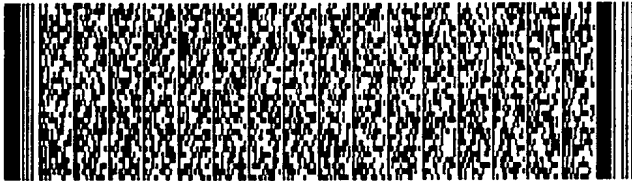
第 4/12 頁



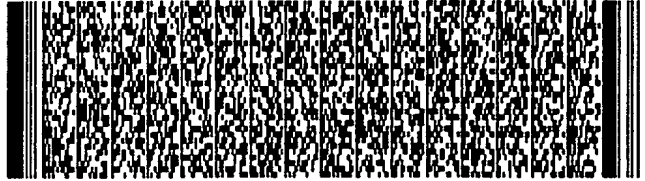
第 4/12 頁



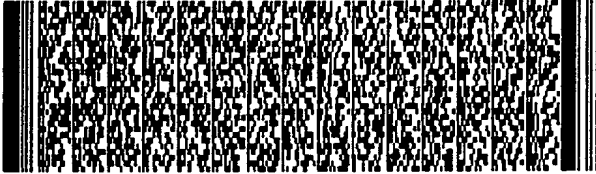
第 5/12 頁



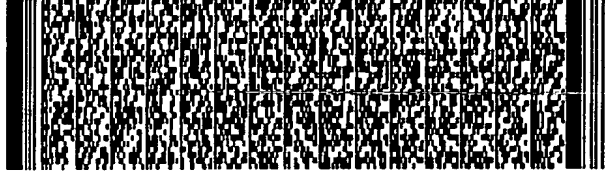
第 5/12 頁



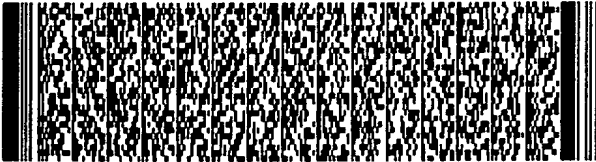
第 6/12 頁



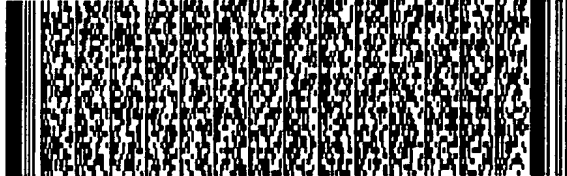
第 6/12 頁



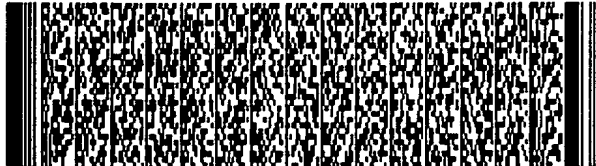
第 7/12 頁



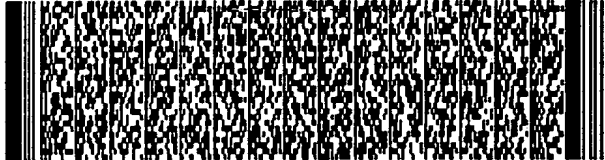
第 7/12 頁



第 8/12 頁



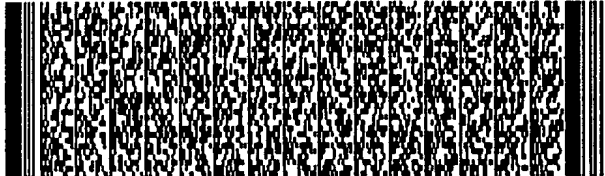
第 8/12 頁



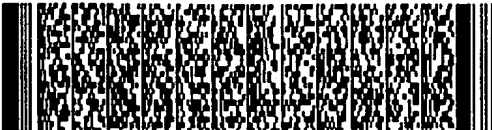
第 9/12 頁



第 10/12 頁

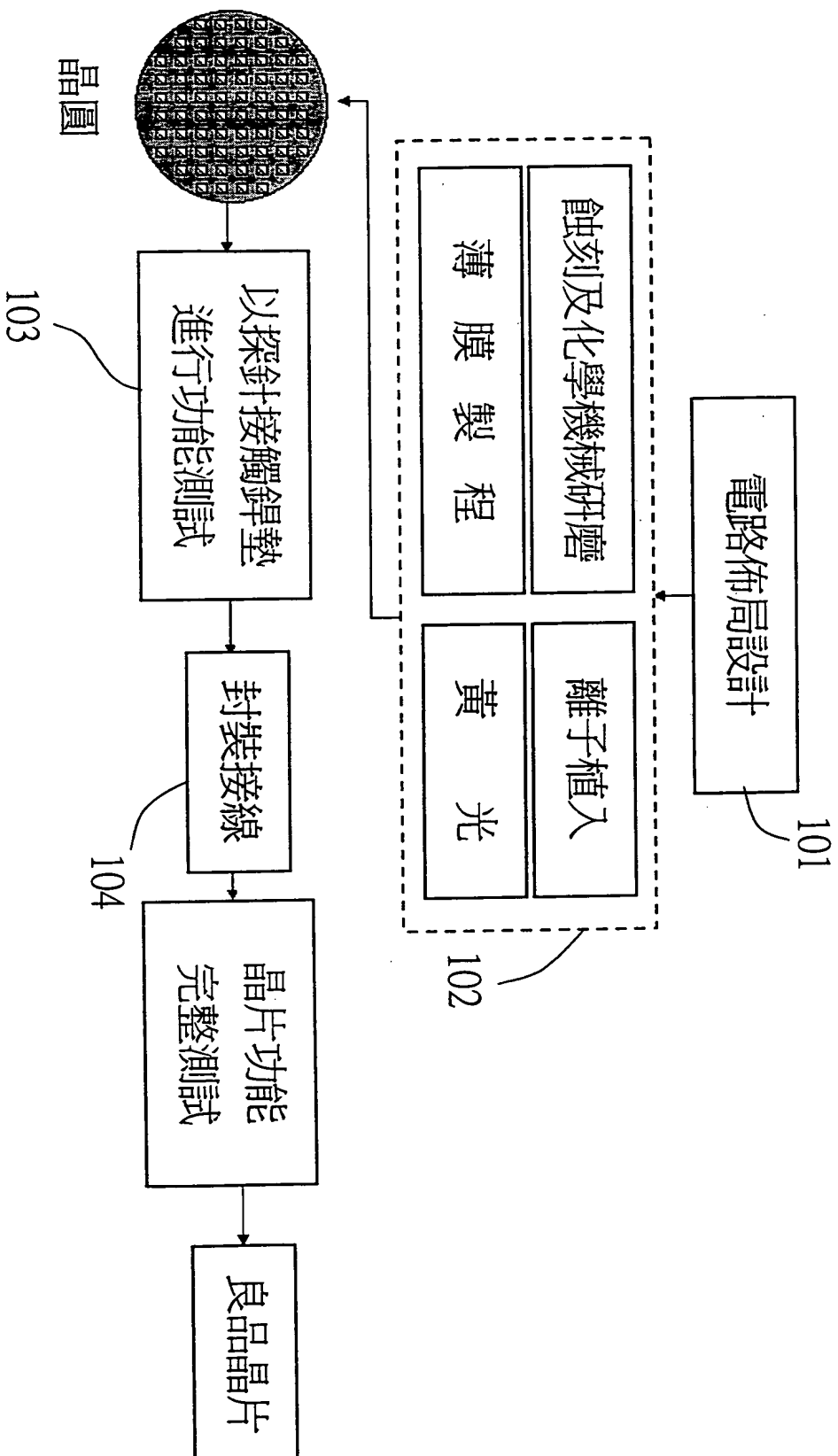


第 11/12 頁

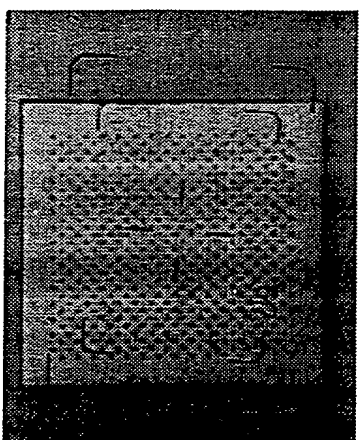


第 12/12 頁

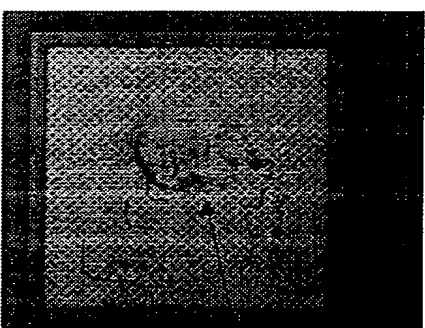




第 1 圖(習知技藝)



測試前



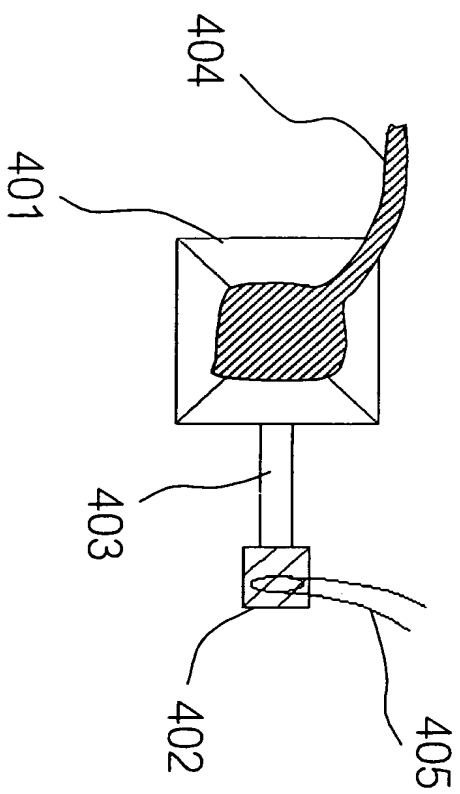
測試後

301

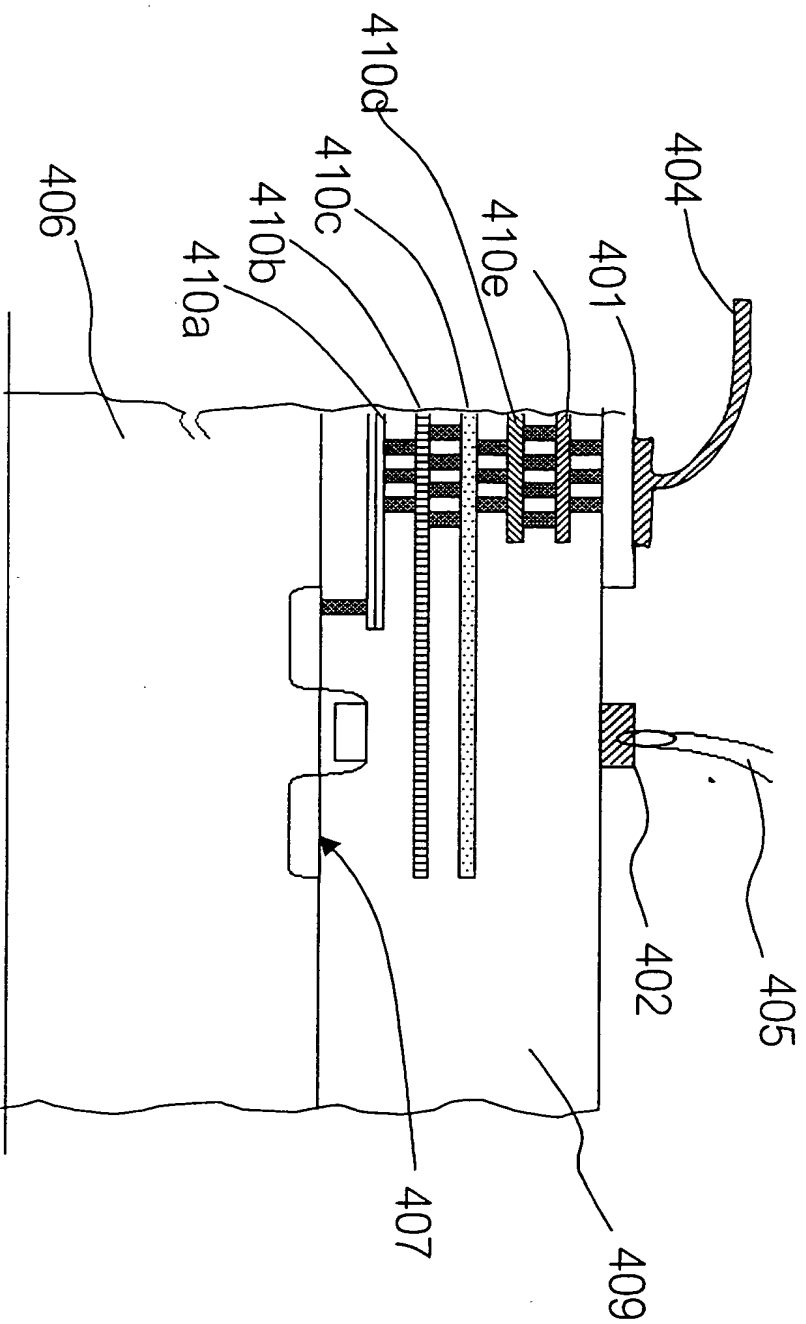
第2圖(習知技藝)



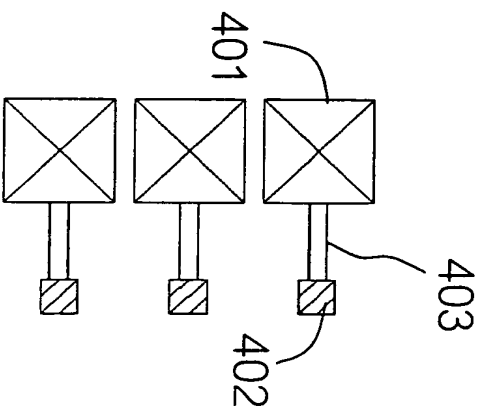
400



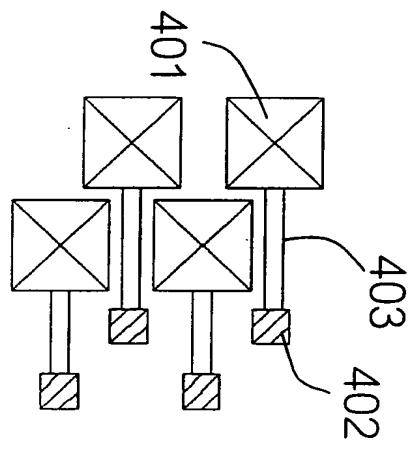
第 3A 圖



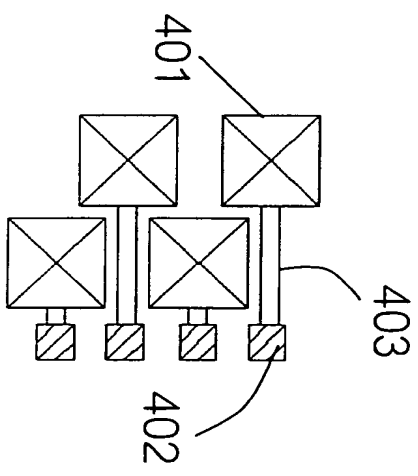
第3B圖



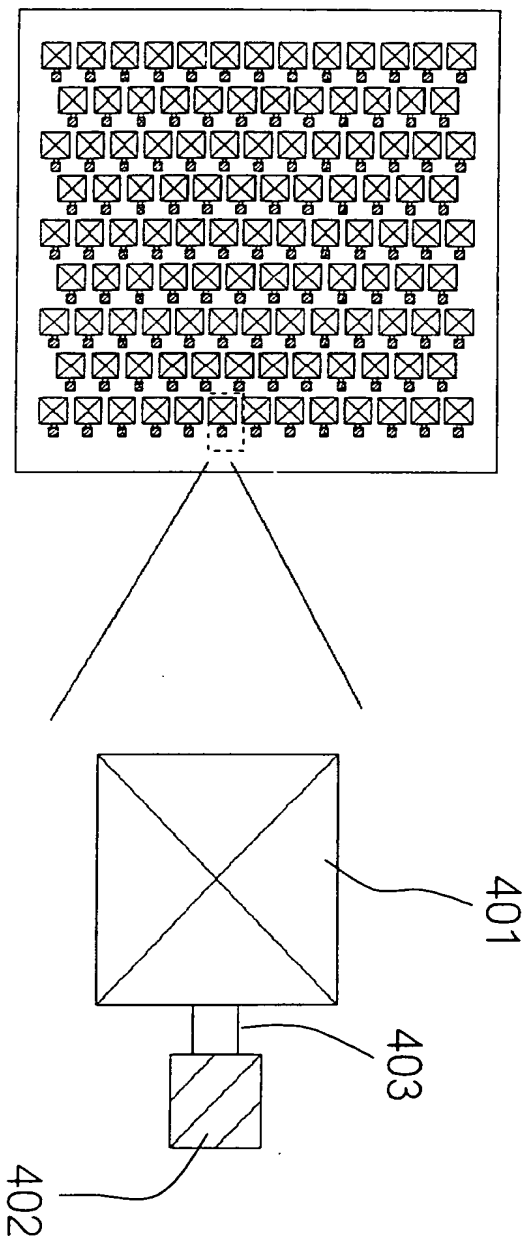
第4A圖



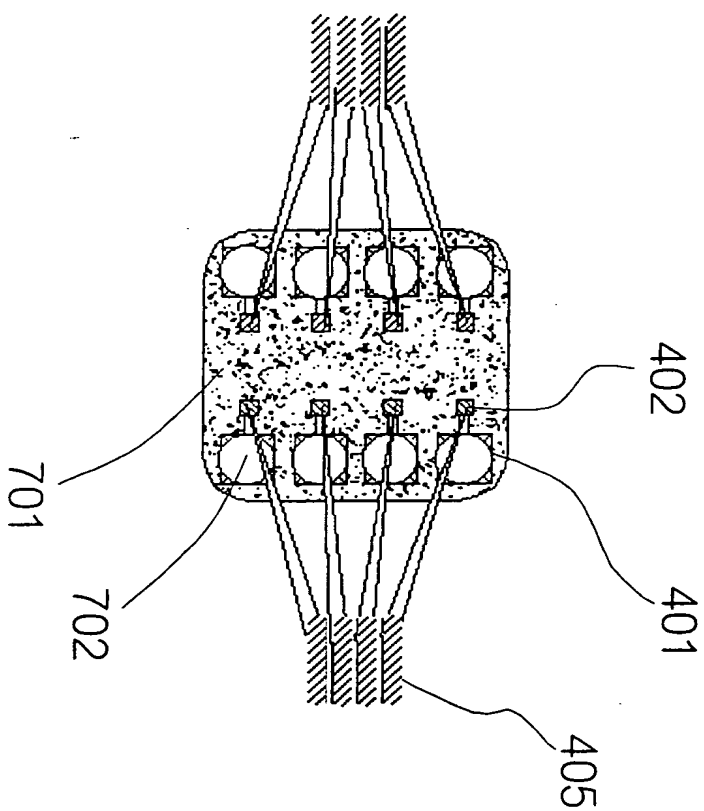
第4B圖



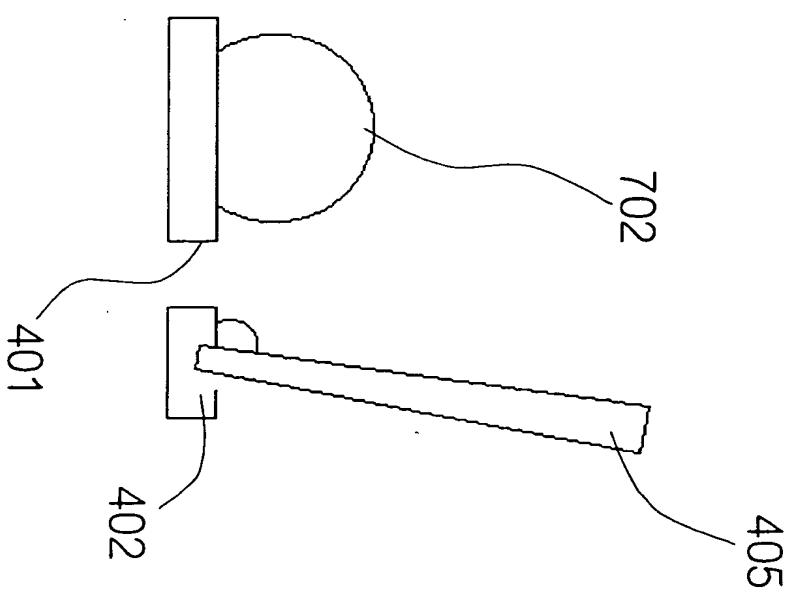
第4C圖



第5圖



第 6A 圖



第 6B 圖